

Patent Abstracts of Japan

PUBLICATION NUMBER : 05291583  
PUBLICATION DATE : 05-11-93

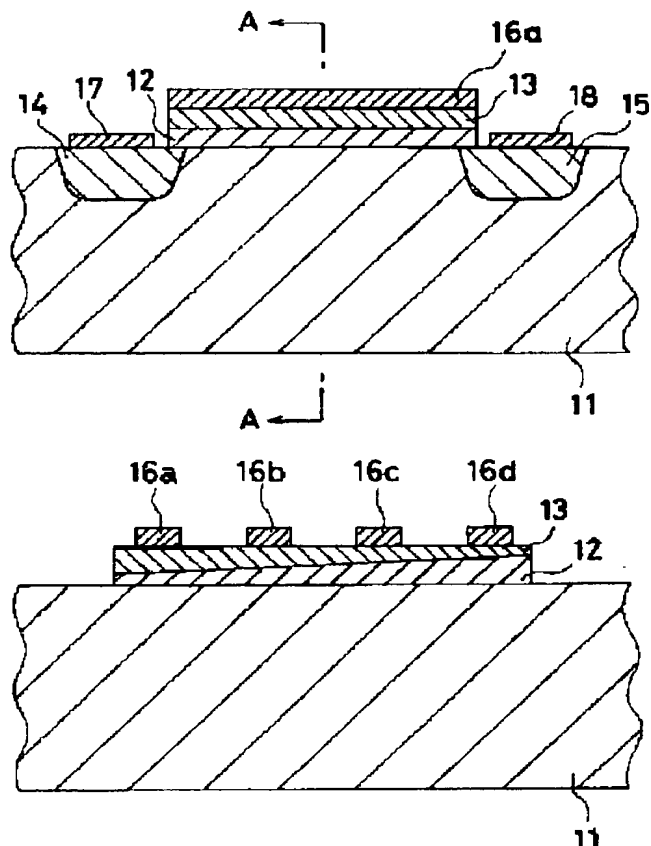
APPLICATION DATE : 06-04-92  
APPLICATION NUMBER : 04083873

APPLICANT : SHARP CORP;

INVENTOR : KAWABE TAKESHI;

INT.CL. : H01L 29/788 H01L 29/792 G11C 11/56  
H01L 27/04 H01L 29/784

TITLE : ERASABLE TYPE NONVOLATILE  
MULTIVALUED MEMORY USING  
FERROELECTRIC MATERIAL



**ABSTRACT :** **PURPOSE:** To obtain a nonvolatile memory which can be operated at a high speed by differentiating thicknesses of gate insulating films in a direction perpendicular to source-drain direction, differentiating lengths or widths of gate electrodes or differentiating characteristics of channel regions corresponding to different resistivities on main surfaces.

**CONSTITUTION:** Remaining inverted polarization insertion amounts of ferroelectric films 12 corresponding to gate electrodes 16 are set by varying in thickness the films 12, normal dielectric films 13 or both. Then, current values flowing between source regions 14 and drain regions 15 can be weighted by power multiplication of '2'. Since the number of the electrodes 16 is four (16a, 16b, 16c, 16d), information corresponding to 4 bits per one cell can be recorded. Thus, writing, reading speeds are made equivalent to those of a static RAM and it can be inexpensively gathered and distributed in high density.

**COPYRIGHT:** (C) JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-291583

(43) 公開日 平成5年(1993)11月5日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
G 1 1 C 11/56				

6741-5L

H 0 1 L 29/78 3 7 1

G 1 1 C 11/34 3 8 1

審査請求 未請求 請求項の数2(全7頁) 最終頁に続く

(21) 出願番号 特願平4-83873

(22) 出願日 平成4年(1992)4月6日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 濱田 和之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 大谷 昇

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 伊藤 康幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 川口 義雄 (外1名)

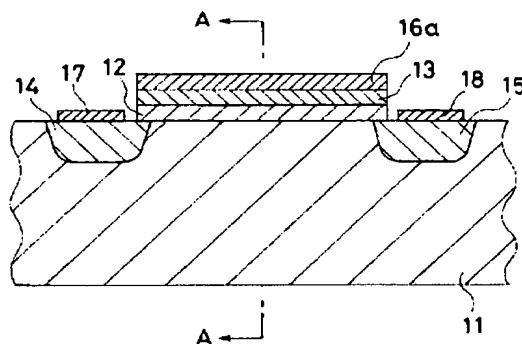
最終頁に続く

(54) 【発明の名称】 強誘電体を用いた書換え可能な不揮発性多値メモリ

(57) 【要約】 (修正有)

【目的】 強誘電体薄膜を用いて、電氣的に書換え可能に構成された不揮発性メモリにおいて、多値メモリとして用いることができるようにする。

【構成】 第1の導電型を有する半導体基板11の一主面上に相対向して配設された第2の導電型を有しソース領域14及びドレイン領域15を形成する一対の高濃度不純物領域と、ソース領域14及びドレイン領域15に挟まれた半導体基板11表面に堆積されたゲート絶縁膜と、ゲート絶縁膜上に設けた複数本のゲート電極16並びにソース領域及びドレイン領域上に設けられたソース電極17及びドレイン電極18を具備し、更に、ゲート絶縁膜の少なくとも一部が強誘電体膜12からなり、該強誘電体膜12はソース・ドレイン方向と直交する方向において対応するゲート電極毎16a、16b、16c、16dに変化する膜厚を有するか、チャネルはゲート毎にその特性を異にする。



## 【特許請求の範囲】

【請求項1】 第1の導電型を有する半導体基板の一主面上に相対向して配設された第2の導電型を有しソース領域及びドレイン領域を形成する一対の高濃度不純物領域と、ソース領域及びドレイン領域に挟まれた半導体基板表面に堆積されたゲート絶縁膜と、ゲート絶縁膜上に設けた複数本のゲート電極並びにソース領域及びドレイン領域上に設けられたソース電極及びドレイン電極を具備する半導体装置であって、ゲート絶縁膜の少なくとも一部が強誘電体膜からなり、該強誘電体膜はソース・ドレイン方向と直交する方向において対応するゲート電極毎に変化する膜厚を有することを特徴とする強誘電体を用いた電氣的に書換え可能な不揮発性多値メモリ。

【請求項2】 第1の導電型を有する半導体基板の一主面上に相対向して配設された第2の導電型を有しソース領域及びドレイン領域を形成する一対の高濃度不純物領域と、ソース領域及びドレイン領域に挟まれた半導体基板表面に堆積されたゲート絶縁膜と、ゲート絶縁膜上に設けた複数本のゲート電極並びにソース領域及びドレイン領域上に設けられたソース電極及びドレイン電極を具備する半導体装置であって、ゲート絶縁膜の少なくとも一部が強誘電体膜からなり、該主面上に形成されるチャネルは対応するゲート毎にその特性が異なることを特徴とする強誘電体を用いた電氣的に書換え可能な不揮発性多値メモリ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、強誘電体を用いた電氣的に書換え可能な不揮発性多値メモリに関する。

【0002】

【従来の技術】 強誘電体材料は、自発的な電気分極を持ち、外部から電界を加えることによって自発分極を反転することが可能である。分極と電界の強さの間にはヒステリシスが存在する。従って、強誘電体材料を用いて電氣的に書換え可能な不揮発性メモリを構成することができる。

【0003】 従来の強誘電体を用いた不揮発性メモリとしては、特に、強誘電体膜をMOSFET（MOSトランジスタ）のゲート絶縁膜として用いることが提案されている（例えば、特開昭50-15446号公報）。

【0004】 図9は、公知の標準的なMOSFETのソース・ドレイン方向の断面構造を一例として概略的に示す図である。但し、酸化シリコン保護膜は除いて示す。91はp型のシリコン基板である。シリコン基板91の一主面上には、n型を有する一対の高濃度不純物領域92、93が対向して選択拡散により配設される。領域92、領域93は、それぞれソース領域、ドレイン領域を形成する。これらのソース領域92とドレイン領域93に挟まれたシリコン基板91の表面には例えば厚さ数100オングストロームのゲート絶縁膜（酸化シリコン

膜）94が例えば酸化により形成される。ソース領域92、ドレイン領域93、ゲート絶縁膜94の上面にはソース電極95、ドレイン電極96、ゲート電極97がアルミニウムの蒸着により形成される。ゲート電極に電圧を印加することにより、ソース領域とドレイン領域の間のシリコン基板のチャネル（電流通路）が制御される。このようなMOSFETの動作は周知であって、例えば徳山巍「MOSデバイス」株式会社工業調査会昭和48年8月20日発行、等の多くの参考書に説明されているから、ここでは説明を省略する。

【0005】 MOSFETのゲート絶縁膜94を強誘電体膜（例えば、ジルコニウム酸チタン酸鉛Pb（Zr-Ti）O<sub>3</sub>の薄膜）とすることにより、不揮発性メモリを構成することができる。即ち、このような不揮発性メモリでは、強誘電体の分極によってシリコン基板91の上面でのチャネルの形成を制御することにより、MOSFETにおいて半永久的にゲート電圧を印加した状態と同様の効果がもたらされる。

【0006】 上述の強誘電体を用いた書換え可能な不揮発性メモリは、大規模集積化、低いビット当たりコスト、高速動作が可能であるという特徴を有するが、その他に固有の増幅特性を持つという特徴をも有する。

【0007】

【発明が解決しようとする課題】 前述の強誘電体を用いた書換え可能な不揮発性メモリでは、強誘電体膜にデジタル情報を書込む際、同一の書込み電圧を用いる限り、唯一の情報を記憶することしかできなかった。

【0008】

【課題を解決するための手段】 本発明の電氣的に書換え可能な不揮発性多値メモリでは、第1の導電型を有する半導体基板の一主面上に第2の導電型を有する一対の高濃度不純物領域を設けてソース領域及びドレイン領域とし、これらソース領域及びドレイン領域に挟まれた半導体基板表面に少なくとも一部が強誘電体膜からなる絶縁膜を堆積してゲート絶縁膜とし、前記ゲート絶縁膜上に複数本のゲート電極を設けると共に、前記ソース領域及びドレイン領域上にもそれぞれソース電極及びドレイン電極を設け、更に前記ゲート絶縁膜の膜厚をソース・ドレイン方向と直交する方向において異ならせるか、各ゲート電極の長さ又は幅を異ならせるか、又は該主面上の抵抗率を異ならせて、対応するチャネル領域の特性を異ならせる。

【0009】

【作用】 本発明の電氣的に書換え可能な不揮発性多値メモリでは、同一の書込み電圧を用いて書き込みを行っても、複数本のゲートについて、対応するチャネル電流を異ならせることができる。また、各チャネル電流について、2の冪乗の重みを付けることが容易にできる。しかも、このチャネル電流はゲート端子を浮かせた状態において保持することができるので、任意のタイミングで読

3

出しを行うことができる。また、書き込み電圧と逆極性で値が同じ消去電圧をゲート端子に印加することによって、チャネル電流を零として書き込み内容を消去することができる。

【0010】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0011】図1は、本発明の第1実施例である強誘電体を用いた不揮発性多値メモリの概略の構造をソース・ドレイン方向に沿って示す断面図である。但し、酸化シリコン保護膜は除いて示してある。

【0012】11はシリコン基板である。12は、シリコン基板11の上面に設けられたジルコニウム酸チタン酸鉛 $Pb(Zr-Ti)O_3$ の強誘電体膜である。13は、強誘電体膜12の上面に設けられた二酸化シリコン $SiO_2$ の常誘電体膜である。14、15は、シリコン基板11に設けられたソース領域、ドレイン領域であって、その間に前述の強誘電体膜12、常誘電体膜13がシリコン基板11の上面に一部重畳して設けられる。16aは、常誘電体膜13の上に設けられたゲート電極である。ゲート電極は全部で4本設けられるが、図1ではその内の一本が示されている。17、18は、ソース領域14、ドレイン領域15に設けられたソース電極、ドレイン電極である。なお、シリコン基板1の導電型は、n型、p型のどちらであってもよい。常誘電体膜13は、強誘電体膜12の下部にあってよいし、或いは無くてもよい。

【0013】図2は、本発明の第1実施例である強誘電体不揮発性多値メモリの概略の構造を図1のA-A線から見た断面図である。同一の記号は同一の要素を示す。

【0014】強誘電体膜12、常誘電体膜13の双方は、ソース・ドレイン方向と直交する方向においてその膜厚を変化させて形成する。一例として、ジルコニウム酸チタン酸鉛 $Pb(Zr-Ti)O_3$ の強誘電体膜12の膜厚は、1000～2000オングストロームの範囲で変化させる。また、二酸化シリコン $SiO_2$ の常誘電体膜13の膜厚は、2000～3000オングストロームの範囲で変化させる。強誘電体膜12、常誘電体膜13の膜厚の変化の様子は、具体的には、図示のように直線的に変化するものであってもよいし、また階段的に変化するものであってもよいし、指数関数的に変化するものであってもよい。使用する用途によっては他の任意適宜な関数に従って変化するものであってもよい。強誘電体膜12、常誘電体膜13は例えばスパッタ法により堆積する。具体的には、基板を斜めに傾けて基板ホルダに固定して、強誘電体膜を堆積するか、マスクを用いてこのマスクを成膜中にずらして、強誘電体膜を堆積して、所望の変化する膜厚を得る。常誘電体膜についても、同様な方法が可能である。シリコン基板11の上面に垂直な方向での強誘電体膜12と常誘電体膜13の膜厚の比

4

は、後述の適切な分圧比が得られるものに設定する。強誘電体12、常誘電体13の膜厚は一方が一定のものであってもよいし、常誘電体膜13は無くてもよい。常誘電体膜13上には、ゲート電極は16a、16b、16c、16dの4本が設けられている。

【0015】図3は、本発明の第1実施例である強誘電体不揮発性多値メモリの概略の構造を示す平面図である。但し、同一の符号は同一の要素を示す。

【0016】前述の強誘電体を用いた書換え可能な不揮発性メモリの構造は、従来公知の適宜の方法を用いて製造することができる。

【0017】図1乃至図3に示す強誘電体を用いた書換え可能な不揮発性メモリにおいて、信号入出力用の電極は、ゲート電極16a、16b、16c、16d、ソース電極17、ドレイン電極18から構成されている。複数のゲート電極の本数は4本に設定したが、その本数は使用する目的によって任意に選択可能である。

【0018】まず、書き込み動作について説明をする。但し、シリコン基板11としてp型シリコン基板を用いており、ゲート絶縁膜として強誘電体膜12と常誘電体膜13の両者を用いているものとする。書き込み動作を行う際には、予め書き込み動作を必要とするゲート電極を複数本あるゲート電極16の中から選択し、正の電圧を印加して強誘電体膜を分極させる。このとき選択されたゲート電極全てに同一の電圧を印加しても、そのゲート直下の強誘電体膜に印加される電圧は常誘電体膜との分圧比で規定されるため、各ゲート毎に強誘電体膜に実効的に印加される電圧が異なり、更に厚さが異なるので強誘電体膜の印加電界の値も異なる。すると、書き込み電圧を除去した後は、前述の強誘電体は硬質強磁性体のような角型ヒステリシス特性を持たないことに起因して、反転した残留分極の値が対応するゲート電極16a、16b、16c、16d毎に変わるようにすることができる。図4にこのような2つの大小のQ-Vヒステリシス特性 $C_1$ 、 $C_2$ を示す。

【0019】読出しは、ゲート端子を浮かせた状態で行う。もっとも、強誘電体に抗電界を上回る値の外部電界が加わらないことが保証されれば、読出しに際して、ゲート端子をソース端子に接続する等の回路配置とすることができる。前述の強誘電体の残留分極の値に応じて、どのゲートを選択したかによって、ソース・ドレイン間を流れる電流値は異なる値のものとなっている。従って、これこれを利用して記録された多値情報の読出し、判別をすることができる。

【0020】前述の強誘電体を用いた書き込み可能な不揮発性メモリを1個の多値記録セルとし、単一の単結晶シリコン基板に多数の記録セルを設けてLSIメモリ（大容量メモリ）を構成する際には、読出し信号の判別は、各セル共通の信号判別器（例えばコンパレータ等）を用いて行うことができ、信号判別器を各記録セル毎に個別

に設ける必要はない。従って、集積度は低下しないので、単位面積当たりの情報記録密度を向上させるという利点が生じる。

【0021】ゲート電極16の各々に対応する強誘電体膜12の強誘電体膜の反転した残留分極反転量を強誘電体膜12、常誘電体膜13又はその両者の膜厚を変化させて設定することにより、各ソース領域とドレイン領域の間に流れる電流値に2の冪乗の重みを付けることができる。従って、ゲート電極16の本数が4本であるから、1セル当たり4ビット相当の情報(2の4乗の数の情報、即ち16個の情報)を記録することができる。この1セル当たりの情報の数は、ゲート電極の本数nに応じて一般に2のn乗にできる。

【0022】記録信号の消去は、記録に用いたゲート電圧と逆極性で且つ同じ大きさの電圧(負の電圧)を印加し、強誘電体膜12の分極方向を記録時と逆向きにすることによりチャネル部分を空乏状態とすることにより行う。このことによりソース・ドレイン間の電流は零となる。従って、情報の記録、消去を容易に電氣的に行うことができる。

【0023】図5は、本発明の第2実施例である強誘電体不揮発性多値メモリの概略の構造を示す平面図である。但し、酸化シリコン保護膜は除いて示す。

【0024】図5において、53は、図1に関して説明したシリコン基板51の上面に設けたゲート絶縁膜の一部を構成する常誘電体膜である。54、55は、シリコン基板51に設けたソース領域、ドレイン領域である。56a、56b、56c、56dは常誘電体膜53上に設けたゲート電極である。57、58は、ソース領域54、ドレイン領域55上に設けたソース電極、ドレイン電極である。図5に示す本発明の第2実施例は既述の本発明の第1実施例の変形例であって、その相違点は、図5においては、ソース領域54とドレイン領域55は、ゲート電極の各々毎にソース領域とドレイン領域の間隔を異なるものとするように構成されている点にある。即ち、ゲート電極の各々毎にソース・ドレイン間隔を変化させたことによって、それぞれのチャネル長が異なっている。従って、一定のゲート電圧を印加した状態でも、どのゲートを選択したかによって異なる電流値を検出することが可能であり、更にゲート部分に強誘電体膜を使用することで、不揮発の多値メモリを実現できる。なお、ゲート部分の強誘電体膜、常誘電体膜のいずれか一方又は双方の厚みを変化してもよいし、また、常誘電体膜は無くてもよい。

【0025】図6は、本発明の第3実施例である強誘電体を用いた不揮発性多値メモリに用いるシリコン基板の一面を示す平面図である。

【0026】図6において、64、65は、第1導電型のシリコン基板61の上に設けられソース領域、ドレイン領域を形成する第2導電型の高濃度不純物領域であ

る。69は、ソース領域とドレイン領域の間に選択的に設けられた高濃度不純物領域である。例えば、シリコン基板の導電型がp型であるときには、ボロンをイオン注入法により打込む。

【0027】図7は、図6の本発明の第3実施例である強誘電体不揮発性多値メモリの概略の構造を示す平面図である。但し、シリコン保護膜は除いて示す。

【0028】図7において、63は図1に関して説明したシリコン基板61の上面に設けたゲート絶縁膜の一部を構成する常誘電体膜である。64、65は、ソース領域、ドレイン領域を構成する高濃度不純物領域である。66a、66b、66c、66dは常誘電体膜63上に設けたゲート電極である。67、68は、ソース領域64、ドレイン領域65の上に設けたソース電極、ドレイン電極である。図6に関して説明した高濃度不純物領域69に重なる部分を点線69'で示した。図7に示す本発明の第3実施例は、既述の本発明の第1実施例の変形例であって、その相違点は、ゲート電極の各々毎にソース・ドレイン間に形成されるチャネルの抵抗率が異なるようにされている点にある。もっと詳細には、高濃度不純物領域69'の占める割合が各ゲート領域毎に異なるので、各ゲートごとにチャネルの平均抵抗率が異なる。従って、一定のゲート電圧を印加した状態でも、どのゲートを選択したかによって異なる電流値を検出することが可能であり、更にゲート部分に強誘電体膜を使用することで、不揮発の多値メモリを実現できる。なお、ゲート部分の強誘電体膜、常誘電体膜のいずれか一方又は双方の厚みを変化してもよいし、また、常誘電体膜は無くてもよい。

【0029】図8は、本発明の第4実施例である強誘電体不揮発性多値メモリの概略の構造を示す平面図である。

【0030】図8において、83は、図1に関して説明したシリコン基板81の上面に設けたゲート絶縁膜の一部を構成する常誘電体膜である。84、85は、シリコン基板81に設けたソース領域、ドレイン領域である。86a、86b、86c、86dは常誘電体膜83上に設けたゲート電極である。87、88は、ソース領域84、ドレイン領域85上に設けたソース電極、ドレイン電極である。図8に示す本発明の第4実施例は既述の本発明の第1実施例の変形例であって、その相違点は、図8においては、ソース領域84とドレイン領域85は、ゲート電極の各々毎にその幅が異なるものとするように構成されている点にある。即ち、ゲート電極の各々毎にその幅を異ならせることによって、一定のゲート電圧を印加した状態でも、どのゲートを選択したかによって異なる電流値を検出することが可能であり、更にゲート部分に強誘電体膜を使用することで、不揮発の多値メモリを実現できる。なお、ゲート部分の強誘電体膜、常誘電体膜のいずれか一方又は双方の厚みを変化してもよい

し、また、常誘電体膜は無くてもよい。

【0031】

【発明の効果】本発明の強誘電体を用いた不揮発性多値メモリによれば、書込み、消去を電気的に行うことができ、しかも1個のセルをもって多値情報を記憶することが可能である。また、標準的なMOS技術を用いて製造することができ、その書込み、読出しの速度はスタティックRAMのそれに匹敵し、しかも低コストで、高密度に集積化を行うことが可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例である強誘電体を用いた書換え可能な不揮発性多値メモリの概略の構造をソース・ドレイン方向で示す断面図である。

【図2】本発明の第1実施例である不揮発性多値メモリの概略の構造を図1のA-A線から見た断面図である。

【図3】本発明の第1実施例である不揮発性多値メモリの概略の構造を示す平面図である。

【図4】強誘電体のヒステリシス特性を示す。

【図5】本発明の第2実施例である強誘電体を用いた書換え可能な不揮発性多値メモリに用いるシリコン基板の一主面の構造を示す平面図である。

【図6】本発明の第2実施例である強誘電体を用いた書換え可能な不揮発性多値メモリに用いるシリコン基板の

一主面の平面図である。

【図7】本発明の第3実施例である強誘電体を用いた書換え可能な不揮発性多値メモリの概略の構造を示す平面図である。

【図8】本発明の第4実施例である強誘電体を用いた書換え可能な不揮発性多値メモリの概略の構造を示す平面図である。

【図9】従来のMOSFETの概略の構造をソース・ドレイン方向で示す概略図である。

10 【符号の説明】

11、51、61、81 シリコン基板

12 強誘電体膜

13、53、63、83 常誘電体膜

14、24、54、74、84 ソース領域

15、25、55、75、84 ドレイン領域

16a、16b、16c、16d ゲート電極

56a、56b、56c、56d ゲート電極

66a、66b、66c、66d ゲート電極

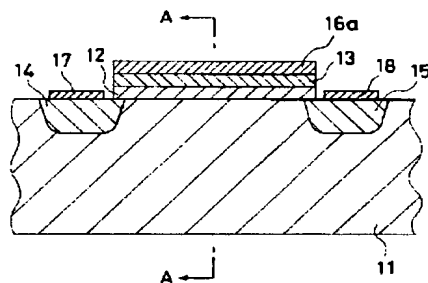
86a、86b、86c、86d ゲート電極

20 17、27、57、77、87 ソース電極

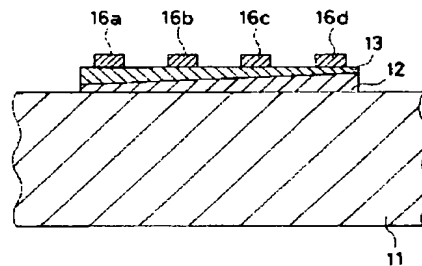
18、28、58、78、88 ドレイン電極

C<sub>1</sub>、C<sub>2</sub> 強誘電体のヒステリシス曲線

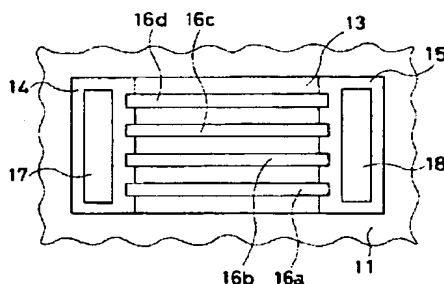
【図1】



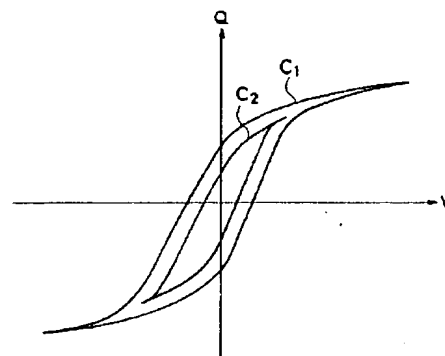
【図2】



【図3】



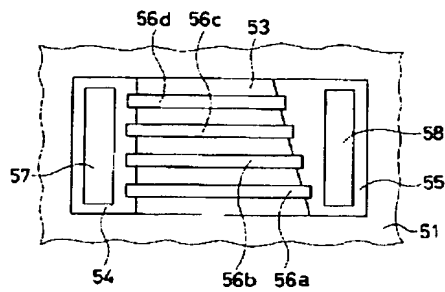
【図4】



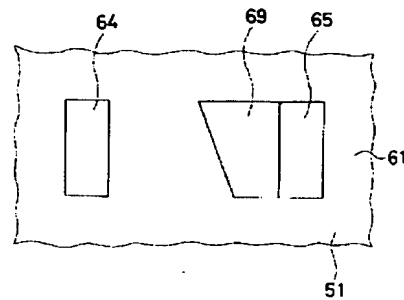
(6)

特開平5-291583

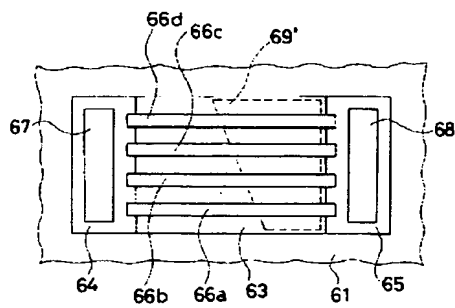
【図5】



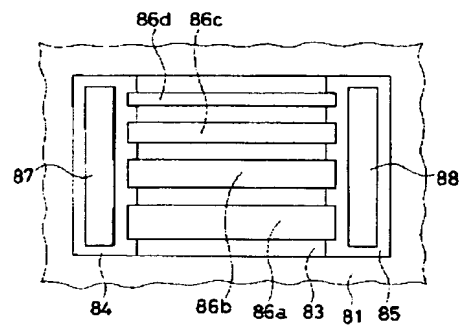
【図6】



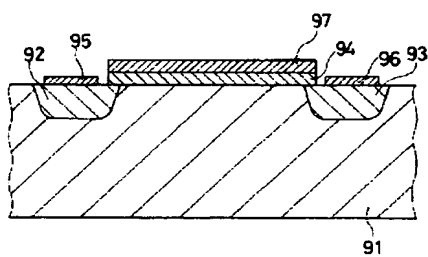
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.<sup>3</sup>  
H 0 1 L 27/04  
29/784

識別記号 片内整理番号  
C 8427-4M

7377-4M  
7377-4M

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 G  
3 0 1 H



(7)

特開平5-291583

(72)発明者 荻本 泰史  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 牛久保 真帆  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 川辺 武司  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

**THIS PAGE BLANK (USPTO)**